

SISTEMA DE INTERCONEXIÓN ENTRE UN PROCESADOR DE SEÑALES Y EL BUS PCI DE UNA COMPUTADORA PERSONAL

Idónea Comunicación de Resultados para obtener el título de:

Maestro en Ingeniería Biomédica

Presentado por:

Ing. José de Jesús López Hernández

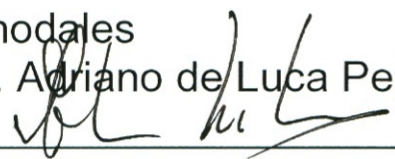
Asesor:

Dr. Joaquín Azpiroz Leehan

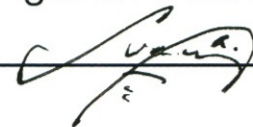


Sinodales

Dr. Adriano de Luca Pennacia



M. en C. Agustín Suárez Fernández



Introducción

El presente trabajo consiste en el desarrollo de un sistema de conexión entre un procesador de señales y el canal de expansión de una computadora tipo PC contemporánea. Se presentan las características del diseño planteado, se hace un análisis de las soluciones posibles y se justifican los resultados. En esta época el enfoque que se ha dado a las interfases entre una computadora personal y procesadores auxiliares ha tendido a cambiar y a presentarse cada vez más módulos inteligentes conectados a través de interfases simples. Este trabajo explora las estrategias anteriores de conectar más íntimamente a un periférico con el procesador central.

A lo largo de los 20 años que tiene el diseño básico de una computadora compatible con la IBM-PC, se ha guardado una compatibilidad básica tanto a nivel de software como de hardware. Sin embargo es en estos momentos cuando se está llegando a los límites razonables de la misma. Las últimas versiones del sistema operativo Windows se han librado de la herencia del sistema operativo original (MS-DOS) y del diseño original del canal de expansión ISA. Con esto se ha ganado más funcionalidad y versatilidad, pero se ha perdido el control directo y en tiempo real del hardware y la simplicidad de programación original. Es necesario ahora diseñar sistemas más complejos, empleando las herramientas contemporáneas más adecuadas para esta tarea. Las herramientas de programación han cambiado de Turbo Pascal a Visual C++ o Java y el canal de expansión del estándar ISA al canal PCI.

Este es el primer trabajo dentro del Laboratorio de Investigación en Computación y Procesamiento de Señales (LICPOS) de la UAM-Iztapalapa que se dedica al diseño completo de una interfase con las nuevas características que se han mencionado

anteriormente. Como se verá más adelante, esta línea parte de una serie de trabajos dedicados a la aplicación de microprocesadores y sistemas de cómputo al procesamiento de señales e imágenes biomédicas. El aporte de este trabajo es principalmente el mantener y conservar los conocimientos y habilidades de diseño en la línea del hardware dedicado al análisis de señales e imágenes.

Para poder interfazar un dispositivo tal como un procesador de señales al canal PCI, es necesario emplear un controlador de canal integrado. El controlador AMCC S5933 es un controlador con las características adecuadas para realizar la función de interfase. Cumple con la especificación del canal PCI, revisión 2.1 y puede manejar todas las transacciones requeridas. Cuenta con registros internos y FIFOs que permiten un funcionamiento asíncrono de ambos lados de la interfase.

Un procesador de señales del tipo TMS320C6201 tiene dos tipos de salidas al exterior: una es la interfase HPI o Host Port Interface, que permite que un dispositivo externo tenga acceso al espacio de memoria del DSP. Esta interfase contiene registros de direcciones, datos y control que permiten una transferencia aleatoria simple o bien transferencias en bloque. La otra interfase se conoce como la interfase de memoria externa o EMIF, y permite la transferencia bidireccional de datos.

En principio, la conexión entre los dispositivos antes mencionados es posible, de tal manera que el reto consiste en diseñar un sistema de interconexión simple pero efectivo. La interfase HPI puede mapearse como un dispositivo esclavo en la interfase PCI, mientras que el funcionamiento asíncrono de la interfase EMIF es compatible con la interfase del AMCC. Los registros internos y los FIFOs pueden mapearse dentro del espacio de memoria del DSP.

Aunque en principio es posible diseñar un sistema completo a partir de los componentes discretos, se consideró pertinente efectuar un diseño inicial o prototipo empleando dos tarjetas de evaluación, ya que ni el controlador ni el DSP se conocían a profundidad, de tal manera que se optó por emplear las facilidades adicionales que prestaban las tarjetas de prototipo. El diseño resultante no es un diseño optimizado debido a las limitaciones de las tarjetas, pero sí es un diseño funcional que permite evaluar la arquitectura de interconexión de un sistema que podría funcionar como un sistema auxiliar o como coprocesador dedicado al procesamiento de señales, insertado dentro de una arquitectura convencional tipo PC actual.

El resto del trabajo está organizado de la siguiente manera: el capítulo 1 describe los distintos desarrollos que se han llevado a cabo en LICPOS y que han sido los antecedentes directos de esta tesis. El capítulo 2 describe al canal de expansión y su estándar contemporáneo, el PCI (Peripheral Component Interconnect), junto con un circuito integrado que permite cumplir tanto con las exigencias de los protocolos de comunicación, como con las especificaciones de la conexión física, el controlador S5933 de la compañía AMCC. El capítulo 3 describe al procesador de señales TMS320C6201 de Texas Instruments, que fue escogido para operar como coprocesador en este diseño. Se describe de una manera particularmente detallada sus interfases externas. El capítulo 4 está dedicado a la descripción de la interconexión de los distintos elementos, mientras que el capítulo 5 discute los resultados obtenidos y plantea las conclusiones a este trabajo.

Introducción Histórica

Dentro de ámbito de la instrumentación médica, se pueden describir varias etapas de desarrollo que están ligadas al desarrollo de diversos dispositivos eléctricos y electrónicos. De hecho se trata de aprovechar la oportunidad que plantean estos dispositivos para resolver problemas en el estudio de fenómenos bioeléctricos, en instrumentación, y recientemente en el análisis de señales e imágenes biomédicas. Como ejemplo de esta situación podemos describir algunos de los desarrollos en instrumentación eléctrica y electrónica, junto con los avances en la electrofisiología cardiaca: (ver <http://www.ecglibrary.com/ecghist.html> y

<http://www.uihealthcare.com/depts/medmuseum/beatgoesonhistory/06surgery.html>)

- 1842 Carlo Matteucci, físico italiano, muestra que una corriente eléctrica acompaña a cada latido cardiaco.
- 1843 Emil Dubois-Reymond, fisiólogo alemán describe un "potencial de acción" que acompaña cada contracción muscular y confirma los descubrimientos de Matteucci en ranas.
- 1872 Gabriel Lippmann, físico francés inventa el electrómetro capilar.
- 1876 Marey usa el electrómetro para registrar la actividad eléctrica de un corazón de rana.
- 1887 Augustus D. Waller, fisiólogo inglés de St. Mary's Medical School, London publica el primer electrocardiograma humano. Se trata de un registro tomado de un técnico de laboratorio.
- 1889 Willem Einthoven, fisiólogo holandés ve una demostración de Waller en el First International Congress of Physiologists.
- 1891 William Bayliss y Edward Starling, fisiólogos británicos de University College London mejoran el electrómetro y describen las ondas P, QRS y T.
- 1897 Clement Ader, ingeniero eléctrico francés, presenta su sistema de amplificación, llamado galvanómetro de cuerda.
- 1901 Einthoven modifica un galvanómetro de cuerda para producir electrocardiogramas.

- 1902 Einthoven publica el primer registro de ECG con este tipo de galvanómetro. 1905 Einthoven transmite ECGs del hospital hacia su laboratorio via cable telefónico. 1920 Hubert Mann del Cardiographic Laboratory, Mount Sinai Hospital, describe la derivación de un 'monocardiograma', después conocido como 'vectocardiograma'. 1924 Willem Einthoven gana el premio Nobel por su desarrollo.
- 1928 Ernstine and Levine reportan el uso de tubos de vacío para amplificar el ECG en lugar de usar la amplificación mecánica del galvanómetro de cuerda.
- 1942 Emanuel Goldberger agrega las derivaciones aumentadas, aVR, aVL and aVF a las derivaciones convencionales , definiendo el electrocardiograma de 12 derivaciones que se usa en la actualidad.
- 1960s Empleo de los primeros electrocardiógrafos de estado sólido.
- 1970s Empleo de amplificadores integrados.
- 1980s Empleo de electrocardiógrafos digitales. Electrocardiograma de alta resolución.
- 1984: Burdick diseña un sistema Holter de bajo costo (<\$20,000).
- 1987: Burdick diseña un sistema digital de escritura y un electrocardiógrafo interpretativo de un canal.
- 1990s Empleo del análisis de la variabilidad de la frecuencia cardiaca.

Ver: http://www.heartmath.org/ResearchPapers/13_15heartratevariability.pdf

Para nuestros propósitos, es importante hacer notar que las técnicas fueron desarrolladas ya con bastante precisión a principios del siglo pasado. Durante todo el siglo XX, la electrónica mejoró significativamente la calidad de los registros, pero las técnicas no cambiaron sustancialmente. No fue sino hasta el fin de siglo, cuando las técnicas digitales permitieron la obtención de información antes no visible a partir del ECG convencional. En esta época, el análisis de la variabilidad de la frecuencia cardiaca promete ser una nueva herramienta, derivada del método convencional de ECG, pero aumentada por las capacidades del cómputo actual.

En otros campos de la instrumentación médica la situación es similar: el uso de técnicas computacionales permite la obtención de mejor y mayor información a partir de

técnicas convencionales. Ejemplos de esto son las técnicas de tomografía computada (años 70s) y resonancia magnética (años 80).

En la actualidad es posible emplear computadoras de tipo personal, con buenos resultados para mejorar las características de un equipo, empleando el procesamiento digital de señales. El uso de procesadores de señales integrados, como sistemas accesorios o coprocesadores para estos sistemas de computación puede mejorar sustancialmente el rendimiento de estas máquinas. Es por esto que este trabajo propone el empleo de un procesador de señales o DSP como sistema auxiliar para el análisis rápido de señales, particularmente en aplicaciones biomédicas.

Antecedentes

Desde los años 80, el diseño de instrumentación basada en microprocesadores tuvo un gran desarrollo. En particular, el grupo de Ingeniería Biomédica de la Universidad de Wisconsin en Madison obtuvo mucha experiencia en este tema que posteriormente publicó en forma de un libro (Tompkins, Webster). Este tipo de instrumentación implicaba conocer perfectamente las capacidades y limitaciones de los microprocesadores y requería de un esfuerzo considerable de construcción y de programación en lenguaje ensamblador. En la UAM, el cambio de plan de estudios de 1982 incluyó estos temas en la asignatura "Instrumentación Médica VII" que se conserva hasta la fecha. En el laboratorio de Investigación en computación y Procesamiento de Señales, precursor del área de Procesamiento digital de señales e imágenes biomédicas se desarrollaron distintos tipos de aplicaciones basadas en microprocesadores, desde sistemas de desarrollo en base a tarjetas con un bus común, denominados micromódulos,

hasta sistemas de despliegue de señales biomédicas en módulos de cristal líquido. Posiblemente los desarrollos más avanzados bajo estos principios de construcción fueron un ventilador volumétrico controlado por un microprocesador y un sistema Holter digital, todos diseñados y construidos por miembros del laboratorio.

El diseño de la computadora personal de IBM en 1982 fue de gran importancia para el desarrollo de la instrumentación basada en microprocesadores / microcomputadoras. Una particularidad importante de esta computadora fue su diseño abierto, y la publicación de un manual técnico con todas las especificaciones para interfases. Esto se hizo con el propósito de promover el desarrollo de tarjetas de interfases y de expansión por parte de terceros proveedores, ya que para IBM, sólo se concebía a esta computadora como un escalón para que más usuarios tuvieran interés en adquirir los sistemas de mayor potencia de la empresa.

Las posibilidades de aplicar el procesamiento de señales a datos adquiridos con estas computadoras de bajo costo ayudaron a desarrollar este campo para disciplinas tan variadas como la geología y la Ingeniería Biomédica. Aparte de requerir de una interfase relativamente simple, otra de las ventajas importantes fue el poder desarrollar sistemas en base a módulos y programas escritos en lenguaje de alto nivel (generalmente TurboPascal o "C").

En 1984 se desarrolló la primera aplicación de computadoras personales para aplicaciones biomédicas dentro de la UAM-Iztapalapa, y este trabajo dio lugar a un proyecto terminal a nivel licenciatura (Sistema de adquisición de señales) en IB y dos proyectos terminales en Ingeniería electrónica. Esta línea se siguió hasta 1987, cuando se desarrollaron prototipos a nivel de circuito impreso para adquisición de señales

electroencefalográficas dentro de un proyecto de mapeo cerebral que ganó el primer lugar en el Concurso de Instrumentación de la Sociedad Mexicana de Ciencias Fisiológicas. La figura 1 muestra el sistema de conversión A/D diseñado y construido, mientras que la figura 2 muestra una pantalla de la aplicación del mapeo cerebral.



Figura 1. Sistema de conversión analógico-Digital de 16 canales, 12 bits.

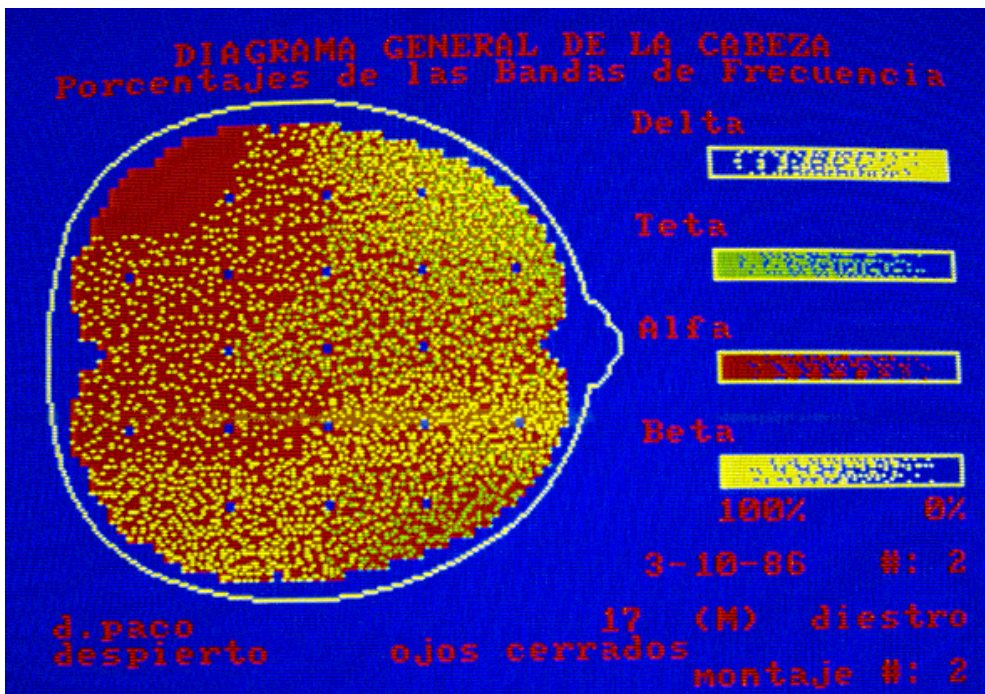


Figura 2. Sistema de mapeo cerebral basado en una PC y un convertidor A/D desarrollados en LICPOS

Aproximadamente en las mismas fechas y teniendo como antecedente al electrocardiógrafo digital, un grupo de ingenieros biomédicos que había trabajado en el Instituto Nacional de Cardiología (Grupo LAB) desarrolló un electrocardiógrafo basado en una computadora PC. El sistema de adquisición y amplificador consistía en una tarjeta de circuito impreso que se instalaba dentro de la computadora a través del bus ISA. El sistema funcionaba bajo el sistema operativo MS-DOS y la interfase con el usuario era específica para esta aplicación. Desafortunadamente este sistema perdió parte importante de sus atractivos al tenerse que emplear el sistema operativo Windows y al desaparecer el bus de interfase ISA de las computadoras personales, el sistema se ha vuelto obsoleto.

Por otra parte, en la UAM-I, en el campo del procesamiento de señales se desarrolló un sistema auxiliar de cálculo de la multiplicación compleja por hardware para el bus ISA de las computadoras PC, empleando un sistema discreto basado en un multiplicador integrado para el cálculo de la Transformada de Fourier. Este desarrollo fue una tesis de maestría que se concluyó en 1988. La figura 3 muestra un diagrama a bloques de esta realización que incluye un multiplicador de 16 x 16 bits MPY016H de la compañía TRW, mientras que la figura 4 muestra el sistema construido.

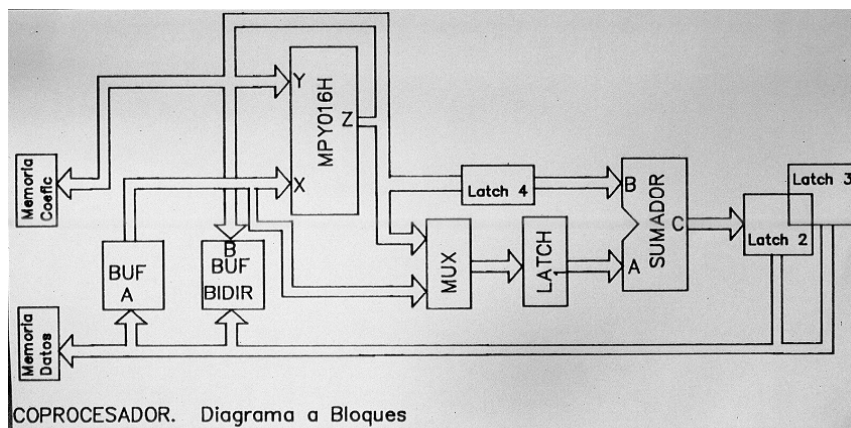


Figura 3. Diagrama a bloques del sistema

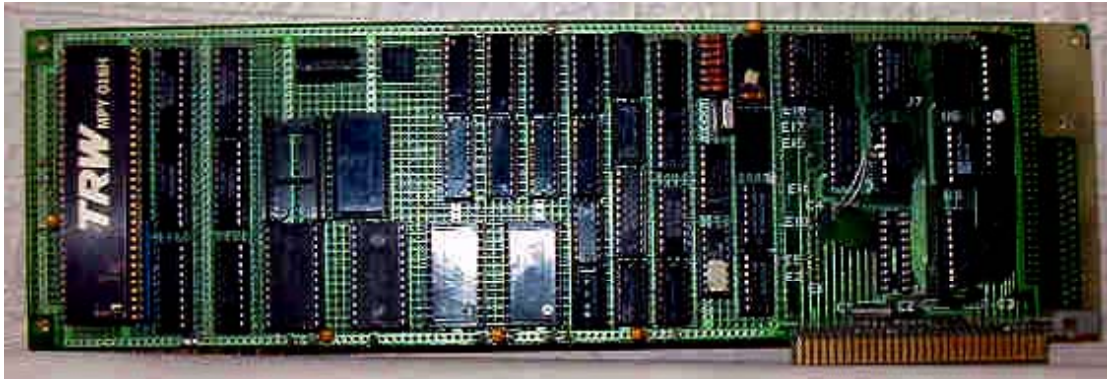


Figura 4. Sistema de cálculo de la multiplicación compleja por hardware.

Posteriormente, en 1995 las experiencias anteriores ayudaron al diseño y construcción de un sistema de procesamiento de señales en tiempo real basado en un procesador DSP56001 de Motorola, interfazado a una computadora personal a través del bus ISA (tesis de maestría de Víctor Téllez, 1995). La idea fundamental del sistema era de cargar en la memoria local los datos que fueran a ser procesados. Esto implicaba una transferencia del bus ISA al DSP para que a través del mismo se pasara la información a la memoria local, empleando un puerto específico proporcionado por el DSP56001 (puerto "Host") que recibía la información byte por byte y que armaba las palabras de 24 bits para que el DSP las procesara posteriormente. La ventaja de este diseño era su simplicidad en el "hardware", aunque esto era a costa de la velocidad de transferencia de información. La figura 5 muestra la realización de este sistema.

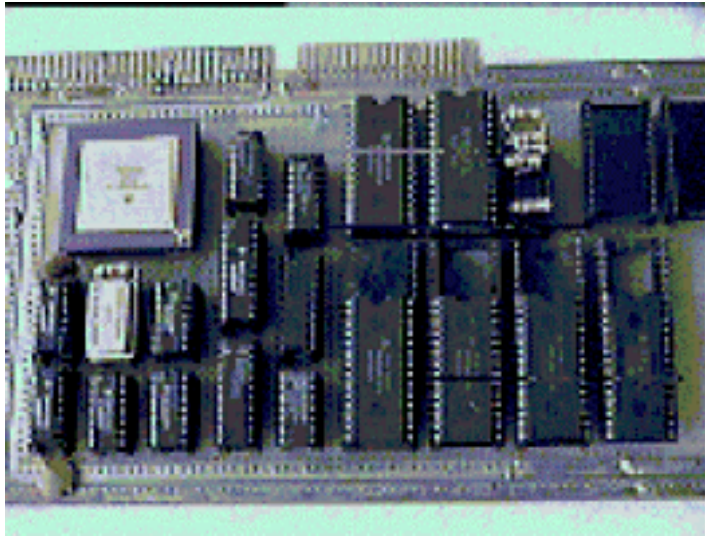


Figura 5. Tarjeta de conexión DSP-Bus ISA

Hasta estas fechas todos los diseños en su parte lógica emplearon tecnología tipo TTL, que data de los años 1970s, aún cuando al final de la década de los años 80s se comenzaron a emplear arreglos lógicos programables (PALs) y circuitos de arreglos de compuertas. En 1998 se concluyó un sistema de adquisición de datos a partir de dos circuitos únicos: un convertidor Analógico/Digital y un arreglo lógico programable. Este sistema fue desarrollado como una tesis de licenciatura.

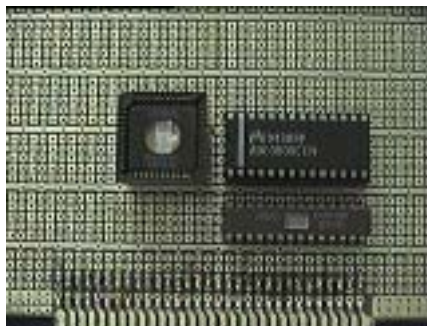


Figura 6. Circuitos EPLD de Altera que sustituyen la interfase con el bus ISA para conformar un sistema de conversión A/D con dos circuitos integrados solamente (comparable al sistema presentado en la figura 1)

Alrededor de mediados de la década de los 90s, las interfases gráficas del sistema operativo dominante, "Windows" se volvieron cada vez más complicadas y los sistemas desarrollados en base a las computadoras PC eliminaron los buses de expansión ISA, para pasar a interfases más rápidas como el caso de NuBus, y de PCI. Este último bus se empleó no solo en las computadoras tipo PC, sino que también fue adoptado por las máquinas Apple Macintosh y Silicon Graphics. La programación en el ambiente Windows con interfaz PCI se hizo complicado. Se perdía el control directo del hardware y quedaba bajo las órdenes del sistema operativo, lo que implicaba la pérdida del control del tiempo real. Aún en este caso en el laboratorio se incursionó en estas aplicaciones al desarrollar una serie de aplicaciones para convertidores A/D comerciales que no incluían software desarrollado para su control completo y la interfase con una aplicación real. El desarrollo de estos sistemas fue el proyecto terminal de un alumno de Ing. Biomédica.

En resumen, a lo largo del tiempo, en el área de investigación se ha contado con experiencia para el desarrollo de sistemas de adquisición y procesamiento de señales basados en computadores personales. Inicialmente las aplicaciones se hicieron directamente en hardware que interactuaba con los programas y el sistema operativo DOS. Se obtuvo la experiencia en el desarrollo de una línea de 4 familias de sistema de conversión A/D y dos familias de procesamiento en tiempo real. Bajo estas circunstancias, al final de la década de los 90s, se iniciaba un mayor desarrollo de sistemas de procesamiento de señales (generación '60 de Texas Instruments) e interfases con el bus PCI. Bajo estas consideraciones se decidió que era pertinente continuar contando con experiencia en el diseño de interfases entre procesadores de señales y el nuevo estándar de bus. Este proyecto es el resultado de esta iniciativa: Interconectar un

procesador de señales tipo TMS32C60 con el bus PCI de una computadora tipo PC. En el momento de la definición del proyecto, no existían sistemas comerciales bajo estas características. Solo se contaba con tarjetas de evaluación que se interconectaban a través del puerto serie de la computadora. De hecho, nuevos desarrollos de hardware basado en computadoras ha evitado la conexión directa al interior de la máquina, prefiriendo la conexión a los puertos serie o paralelo, como es el caso de un electrocardiógrafo de alta resolución con 12 derivaciones desarrollado por Pulse Biomedical (figura 6).

(ver http://www.qrscard.com/internet_demo.htm)



Figura 6. Electrocardiógrafo de 12 derivaciones para uso con computadora y puerto serie.

El informe se presenta bajo una pantalla convencional de Windows, como lo muestra la figura siguiente. El análisis y la presentación de las señales los calcula la computadora tipo PC, mientras que la caja contiene solamente los preamplificadores, el sistema de aislamiento y el sistema de conversión analógico/digital.

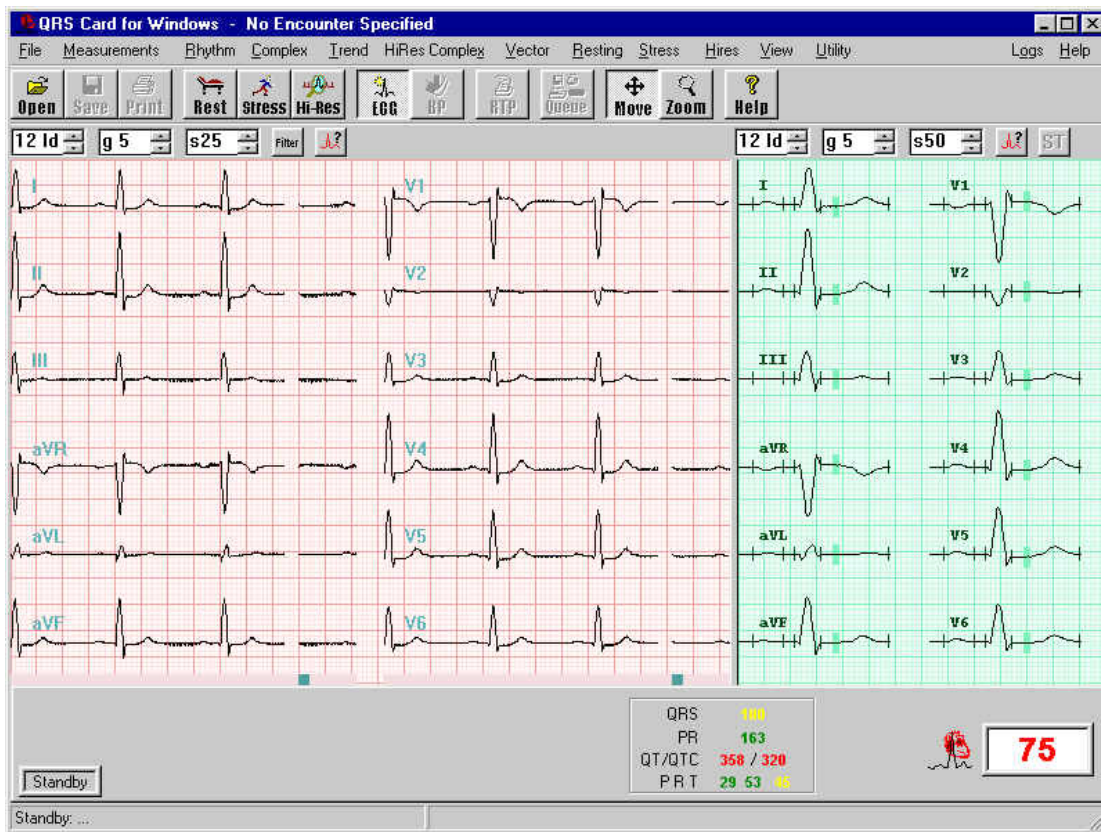


Figura 7. Pantalla de presentación de electrocardiograma acoplable a una computadora.

Referencias

Matteucci C. “*Sur un phenomene physiologique produit par les muscles en contraction*”

Ann. Chim. Phys. 1842;6:339-341.

Marey EJ. “*Des variations electriques des muscles et du coeur en particulier étudiés au moyen de l'electrometre de M Lippman*” Comptes Rendus Hebdomadaires des Seances

de l'Academie des Sciences 1876;82:975-977.

Waller AD. “*A demonstration on man of electromotive changes accompanying the heart's beat*” J Physiol (London) 1887;8:229-234.

Bayliss WM, Starling EH. “*On the electrical variations of the heart in man*” Proc Phys Soc (14th November) in J Physiol (London) 1891;13 y también On the electromotive phenomena of the mammalian heart. Proc R Soc Lond 1892;50:211.

Ader C. “*Sur un nouvel appareil enregistreur pour cables sous-marins*” C R Acad Sci (Paris) 1897;124:1440-1442.

Einthoven W. “*Un nouveau galvanometre*” Arch Neerl Sc Ex Nat 1901;6:625-633.

Einthoven W. “*Galvanometrische registratie van het menschelijk electrocardiogram*” En: Herinneringsbundel Professor S. S. Rosenstein. Leiden: Eduard Ijdo, 1902:101-107.

Mann H. “*A method of analyzing the electrocardiogram*” Arch Int Med 1920;25:283-294.

Ernstine AC, Levine SA. “*A comparison of records taken with the Einthoven string galvanometer and the amplifier-type electrocardiograph*” Am Heart J 1928;4:725-731.

Gálvez, C. et. al. “*Sistema para adquisición de datos para una computadora personal*” Rev. Mex. Ing. Biomed. Vol. 6, No. 2, 1985.

Escandón, B. et. al. “*Microcomputadora modular para aplicaciones biomédicas*” Rev. Mex. Ing. Biomed. Vol. 6, No. 2, 1985.

Azpiroz, J., Lindig, M. “*Sistema auxiliar para el procesamiento de señales en tiempo real*” Rev. Mex. Ing. Biomed. Vol. 9, No. 1, 1988.

Martínez, A. et. al. “*Unidad portátil para electrocardiografía ambulatoria de digital*” Rev. Mex. Ing. Biomed. Vol. 13, No. 1, 1992.

Jiménez J.R. et. al. “*Microcontrolador para un respirador volumétrico*” Rev. Mex. Ing. Biomed. Vol. 9, No. 1, 1988.

Yañez, O. et. al. “*Aplicación de una microcomputadora modular para la determinación del gasto cardiaco por el método de Fick*” Rev. Mex. Ing. Biomed. Vol. 8, No. 1, 1987.

Suárez, M. et. al. “*Electrocardiógrafo multicanal computarizado*” Rev. Mex. Ing. Biomed. Vol. 5, No. 1, 1984.

Medina, V. et. al. “*Análisis espectral del electroencefalograma*” Rev. Mex. Ing. Biomed. Vol. 7, No. 1, 1986.

Mondragón, J. et. al. “*Electrocardiógrafo multicanal de tiempo real PC compatible*” Rev. Mex. Ing. Biomed. Vol. 6, No. 2, 1985.

Características del bus PCI

El bus PCI (Peripheral Component Interconnect, componentes periféricos interconectados) fue diseñado inicialmente por Intel Corporation en 1991 y estuvo disponible a partir de 22 de junio de 1992. Las versiones posteriores son manejadas en conjunto con otras empresas. Este conjunto se denomina PCI SIG (Special Interest Group, grupo de intereses especiales). La revisión siguiente estuvo disponible en abril de 1993. La revisión 2.1 está desde el primer cuatrimestre de 1995. La última revisión, la 2.2, fue aprobada el 18 de diciembre de 1998 y se liberó en febrero de 1999. El estándar PCI, a diferencia del ISA, no es de dominio público, sino que se necesita adquirirlo a través de PCI SIG.

Las características más importantes se citan a continuación:

- Independiente del procesador.
- Soporta mas o menos 80 funciones por bus PCI.
- Soporta 256 buses PCI.
- Bajo consumo de corriente.
- Transferencia ráfaga en lectura y escritura.
- Velocidad del bus de 33(2.1) - 66 (2.2) MHz.
- Bus de datos y direcciones multiplexado.
- Ancho de bus de 32 y 64 bits.
- Voltaje de operación de 5 V (2.1) y 3.3V (2.2)

Dispositivos y funciones PCI.

El estándar PCI hace una distinción entre un dispositivo y una función. Un dispositivo es aquel que está conectado físicamente al bus y puede soportar hasta ocho funciones. En otras palabras, una función es un dispositivo lógico.

Transferencia en modo ráfaga: iniciador, destino y agente.

La transferencia en modo ráfaga consiste en una única fase de direccionamiento y dos o más fases de datos. Quien inicia la transferencia se le denomina bus maestro y quien recibe la transferencia se le llama dispositivo esclavo. Un PCI esclavo puede ser diseñado para manejar sólo una fase de datos y al término forzar al maestro a iniciar un nuevo ciclo de direccionamiento. Esto da un rendimiento

pobre pero válido para dispositivos que no requieren de transferencias de alta velocidad. El bus maestro también recibe el nombre de iniciador. Un dispositivo diseñado como maestro puede iniciar o recibir una transferencia, pero uno diseñado como destino sólo las puede recibir. Tanto el iniciador como el destino se les referencia como agentes cumplidores del PCI.

Multifunción y función única.

Como se comentó anteriormente, un dispositivo físico puede soportar de uno a ocho funciones. Si el dispositivo sólo realiza una función, se le denomina dispositivo único y con dos o más funciones se le denomina multifunción.

Acceso a PCI.

Para trabajar con dispositivos PCI, tenemos dos áreas de memoria, la de configuración y la de trabajo. Las áreas de memoria o registros tienen diferentes vías de acceso. El registro de configuración se accede por medio de la interrupción 1Ah del BIOS. El registro de trabajo se accede por medio de una localidad base de memoria o de I/O. Las localidades en memoria RAM se acceden mediante los comandos de lectura y escritura de memoria y los espacios de E/S se acceden mediante los comandos de entrada y salida de datos. El registro de configuración, sirve para establecer los parámetros con los que funcionará el dispositivo dentro del sistema, es decir, establece los parámetros de tiempo de acceso, línea de interrupción, función a realizar, capacidad de autoprueba, etc

Para realizar una operación sobre un dispositivo PCI, por norma, se siguen los pasos citados a continuación.

1. Se verifica que exista un BIOS de 32 bits que soporte el estándar PCI 2.1.
2. Se verifica en el espacio de dispositivos que se encuentre la tarjeta a acceder.
3. Se lee el registro de configuración del dispositivo y se verifica en donde está mapeado (I/O o en memoria) y su localización.
4. Una vez localizada su posición, se accede al registro de trabajo y se realiza la operación deseada (lectura o escritura).

Dado que el AMCC5923 cumple con el estándar 2.1, el procedimiento para su acceso en la PC es el mismo. Este procedimiento se implementa en el lenguaje C como se muestra en el apéndice 1.

El controlador de PCI S5933.

Las características más relevantes de este controlador son

- Totalmente compatible con PCI Rev. 2.1.
- Agente Maestro/Escalvo.
- Bus de usuario de 8/16/32 bits.
- Demultiplexado de datos y direcciones.
- Terminal para realizar interrupción PCI directa.
- Soporte para nvRAM BIOS serial y paralelo.
- 32 bytes de FIFO y 32 bytes de caja de correo.

El S5933 de AMCC tiene un bus de usuario con tres formas de transferir datos desde y hacia el bus PCI. La primera es FIFO (memoria de entrada y salida), otra es por medio de Pass-Thru (paso a través) y la última controlada por eventos del mailbox (caja de correo).

La transferencia a través de FIFO, se realiza con una FIFO de entrada y una FIFO de salida, de modo tal que no se puede leer lo que se acaba de escribir. Para resolver esto, se tiene un conjunto de registros de estado y control que permiten saber cuando empezó y cuando terminó una transferencia, ya sea de lectura o de escritura.

El Pass-Thru, realiza una conexión directa entre la interfase de usuario y el bus PCI., esto permite que el periférico controle directamente al bus PCI o viceversa. En otras palabras, permite la transferencia de datos en modo DMA.

Para efectos de prueba, se tomó el modo de transferencia de datos a través de la memoria FIFO que permite enviar y recibir un dato a la vez. Esta transferencia se realiza con un par de funciones:

```

void outpd(word port, dword value)
{
    _DX = port;
    _EAX = value;
    /*Dado que asm no puede generar OUT DX, EAX, debemos forzarlo*/
    __emit__(0x66, 0xEF);
}

dword inpd(word port)
{
    /* Set DX register to port number to be input from */
    _DX = port;
    /*Debido a que asm no puede generar IN EAX, DX, debemos forzarlo*/
    __emit__(0x66, 0xED);

    return(_EAX);
}

```

El S5933 tiene registros internos que permiten saber el estado de una transferencia. El estado de estos registros pueden ser conocidos mediante hardware, ya que tienen disponibles terminales fuera del chip.

Para realizar transferencia de datos a través de la interfase de usuario, las terminales del controlador S5933 involucradas son:

<i>Terminal</i>	<i>Función</i>	<i>Tipo</i>
DQ[31..0]	Datos	E/S/T
BE[3..0]#	Selección de octeto	E
ADR[6..2]	Selección del registro a acceder	E
RD#	Selección de escritura	E
WR#	Selección de lectura	E
SELECT#	Habilitación del chip	E

Tabla 1. Terminales para el acceso asíncrono de la interfase adicionalada.

A través de la interfase adicionalada para el usuario, se pueden realizar operaciones de dos modos, síncrona y asíncrona. Las operaciones síncronas requieren que ambos dispositivos trabajen con el mismo reloj, y con la operación asíncrona, el dispositivo adicionalado puede trabajar con frecuencias menores o mayores que la del bus PCI. Dado que el sistema basado en DSP trabaja a 167 MHz, el modo de trabajo elegido es el asíncrono.

Para que una secuencia de lectura se realice desde la interfase de usuario, es necesario que se cumplan las siguientes condiciones. Se coloca en bajo la señal de RD# ó WR# al mismo tiempo que la señal de SELECT#. Las señales de BE[3..0] se activan de acuerdo al o los octetos que se deseen transferir. Posteriormente, se colocan las señales de ADR[6..2] y entonces los datos de DQ[31..0] son válidos.

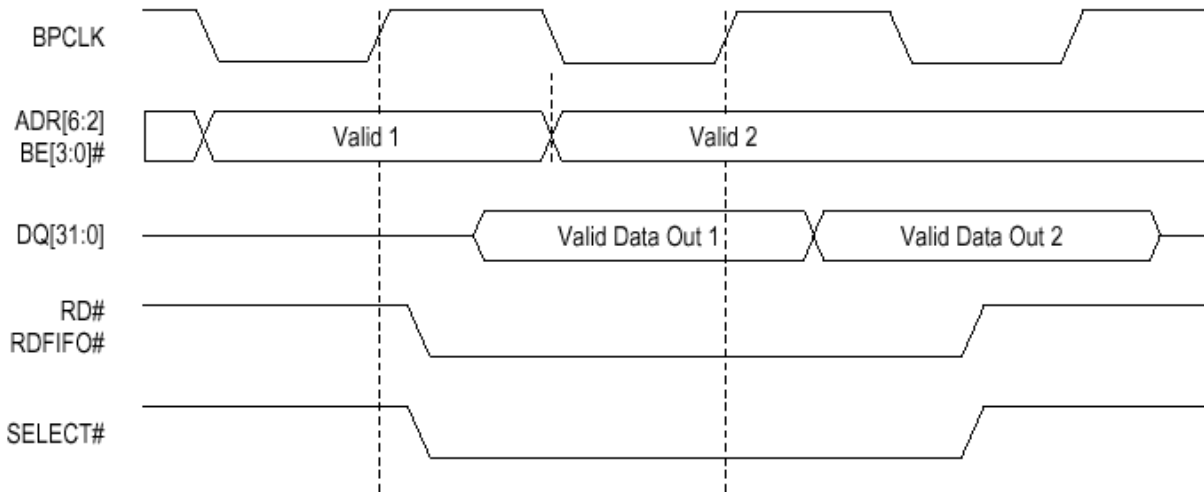


Figura 1. Lectura asíncrona de la interfase de usuario.

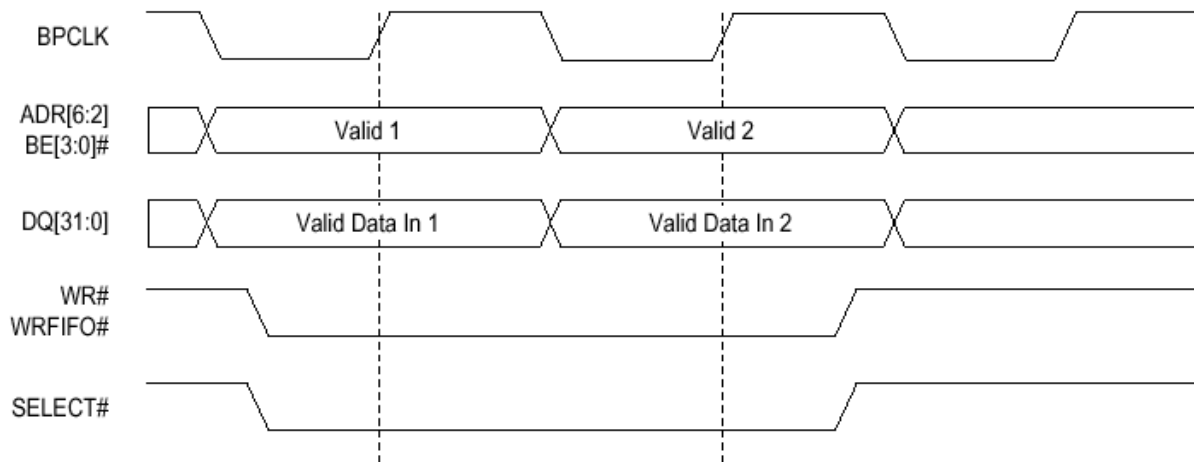


Figura 2. Escritura asíncrona a la interfase de usuario.

Existe un método abreviado para realizar las operaciones de lectura y escritura mediante una sola terminal, respectivamente. Existen también dos terminales para monitoreo del estado de la lectura y escritura. Estas terminales son:

<i>Terminal</i>	<i>Función</i>	<i>Tipo</i>
WRFIFO#	Escritura directa al FIFO	E
RDFIFO#	Lectura directa al FIFO	E
WRFULL	Indica fin de escritura	S
RDEEMPTY	Indica fin de lectura	S

Tabla 2. Terminales para el acceso asíncrono reducido de la interfase adicionada.

Características del Procesador de Señales

Los procesadores de señales de la familia TMS320C6000 se basan en un diseño de arquitectura empleando una palabra de instrucción muy larga (VLIW) En particular, la familia de procesadores TMS320C62x es aquella que está diseñada a partir de unidades aritméticas de punto fijo. Cuenta con un conjunto de 32 registros de propósito general y ocho unidades funcionales prácticamente independientes, dentro de las cuales se pueden contar seis unidades aritméticas y lógicas y dos multiplicadores de 16 bits (con resultado de 32 bits).

Estos procesadores cuentan con una buena cantidad de memoria integrada. El espacio de memoria de programa de 64K bytes puede emplearse como caché si se desea. La memoria de datos cuenta con dos bloques de 32 K bytes.

Los periféricos integrados cuentan con dos puertos serie (McBSP), dos relojes, una interfase host (HPI) y una interfase para memoria externa que no requiere lógica de decodificación adicional (EMIF).

Este procesador se programa con ayuda de una serie completa de herramientas de desarrollo que van desde un compilador en C, un ensamblador-optimizador y varias herramientas adicionales en paquetes de herramientas de diseño de soluciones tipo Matlab.

La figura siguiente muestra los bloques principales de este procesador de señales.

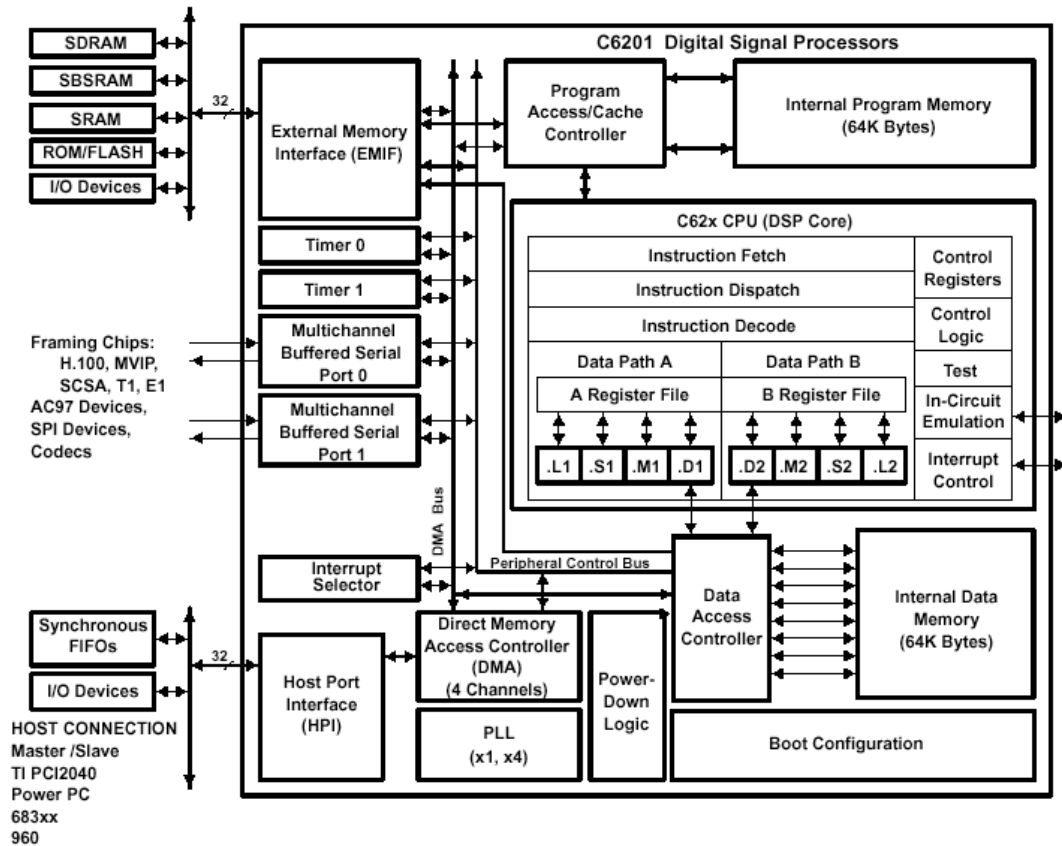


Fig. 3.1. Bloques principales del DSP TMS320C602.

Internamente se cuenta con ocho unidades funcionales, pero en el caso de este procesador, al contrario de lo que sucede en la mayoría de procesadores con arquitecturas VLIW, no es necesario que todas las unidades estén ejecutando tareas, lo que facilita la tarea del programador y permite un ahorro en espacio de memoria. El funcionamiento interno de los registros es en general de tipo load-store.

Acceso al DSP

El DSP TMS320C6211, provee interfaces para su conexión con dispositivos periféricos como memorias de todo tipo, convertidores A/D y D/A, dispositivos lógicos programables, otros microprocesadores, etc. Con estas interfaces poca o ninguna lógica de pegado es necesaria. Los modos de comunicación disponibles son a través del estándar IEEE 1149.1 (JTAG), el HPI (Host-Port

Interface, interfase con puerto maestro), McBSPs (Multichannel Buffered Serial Ports, puerto serial con memoria multicanal), y la EMIF (External Memory Interface, interfase de memoria externa).

JTAG.

El estándar JTAG está implementado en este DSP para facilitar el proceso de diseño, ya que permite pruebas completas del sistema ya armado. Además, permite modificar los datos en cualquier momento, permitiendo así, la depuración de programas en tiempo de ejecución. El conector se muestra en la Figura 3.2.

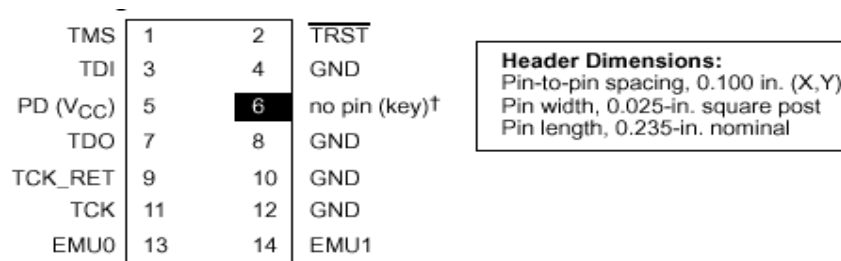


Figura 3.2. Conector estándar para cable JTAG.

HPI

El HPI (Host Port Interface), sirve para que el C6211 pueda comunicarse con otros procesadores (handshaking). Este puerto cuenta con 16 bits de datos y direcciones multiplexadas y permite que otro procesador tome el control del sistema, ya que el puerto lo habilita como maestro y deja al C6211 como esclavo. El procesador maestro puede ver a todos los periféricos mapeados al esclavo. El diagrama de la interfase HPI se muestra en la Figura 3.3.

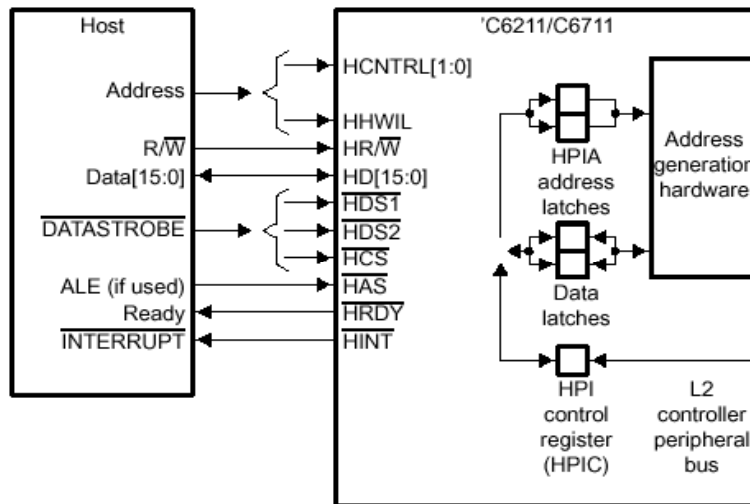


Fig. 3.3. Diagrama de la interfase HPI.

McBSP

El McBSP, son dos puertos seriales que permite transferencias con diversos protocolos de comunicación de manera sencilla y flexible. Las características de estos puertos son:

- Comunicación Full-duplex.
- Registro de datos de memoria doble, lo cual permite una secuencia continua de datos.
- Framing y clocking independientes para recepción y transmisión.
- Interfase directa al estándar industrial de codecs y AICs (Analog Interface Chips) y A/Ds y D/As seriales.
- Corrimiento de reloj interno o externo, corrimiento de reloj de frecuencia programable para transferencia de datos.
- Capacidad de auto-almacenamiento a través de los 5 canales del controlador de DMA.

Además de tener las siguiente capacidades:

- Interfase directa a:
 - T1/E1 framers
 - Compatible con MVIP conmutado y compatible con ST-BUS incluyendo:
 - MVIP framers
 - H.100 framers
 - SCSA framers
 - Compatible con IOM-2
 - Compatible con AC97. (The necessary multi phase frame synchronization capability is provided.)
 - La capacidad necesaria de sincronización multifase está disponible.
 - Compatible con IIS.
 - Dispositivo SPI™.
- Transmisión y recepción multicanal de hasta 128 canales.
- Una amplia capacidad de selección de tamaños de datos, incluyendo 8, 12, 16, 20, 24 y 32 bits.
- Compatible con μ -Law y A-Law.
- Transferencia de 8 bits con la opción de mandar primero el LSM o el MSB (big endian o little endian).
- Polaridad programable tanto para la sincronización del frame como para el reloj de datos.
- Reloj interno altamente programable y generación de frame.

El diagrama a bloques y de terminales de conexiones del McBSP se muestra en la Figura 3.4.

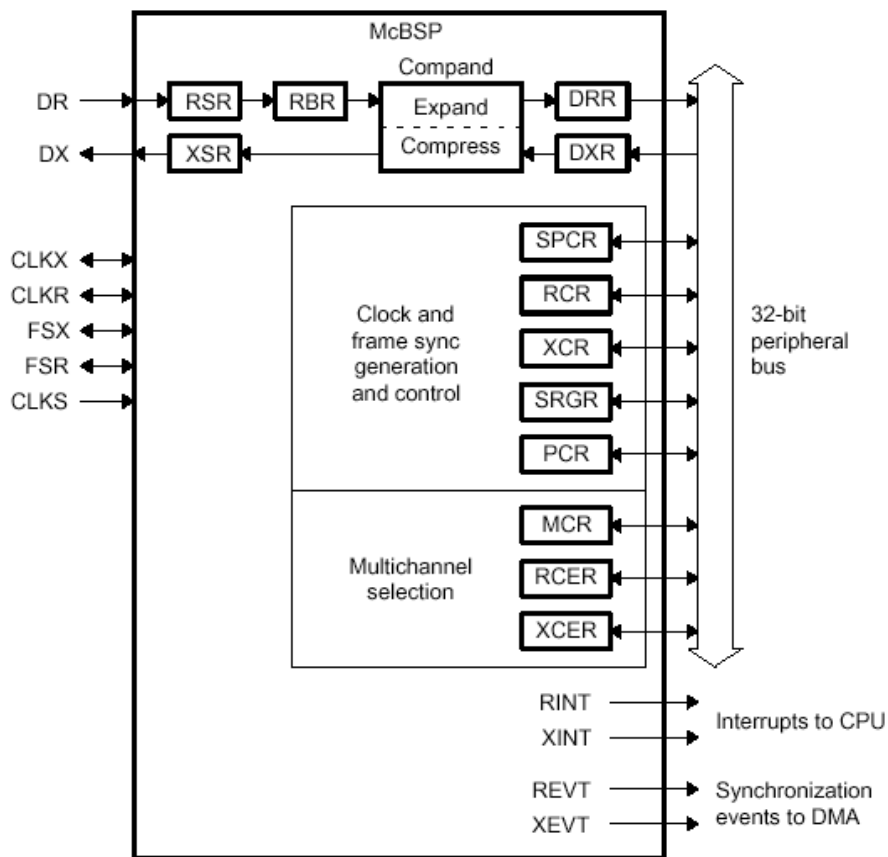


Fig. 3.4. Diagrama a bloques y de terminales de conexiones del McBSP.

EMIF

El puerto EMIF sirve para conectar todo tipo de memoria y dispositivos periféricos, como lo son:

- Synchronous-burst SRAM (SBSRAM)
- Synchronous DRAM (SDRAM)
- SRAM, ROM, FIFOs.
- Dispositivos asíncronos.
- Dispositivos lógicos programables como PAL, GAL, PLD, CPLD, FPGA, ASIC.
- Memorias de doble puerto ó memorias compartidas.

Internamente, el DSP C6211 cuenta con la circuitería necesaria para manejar estas memorias y

dispositivos, pero a diferencia de sus predecesores, que manejaban uno u otro tipo, este modelo permite la coexistencia de diferentes dispositivos. El diagrama a bloques del EMIF se muestra en la Figura 3.5. y el diagrama de terminales involucradas se muestra en la Figura 3.6.

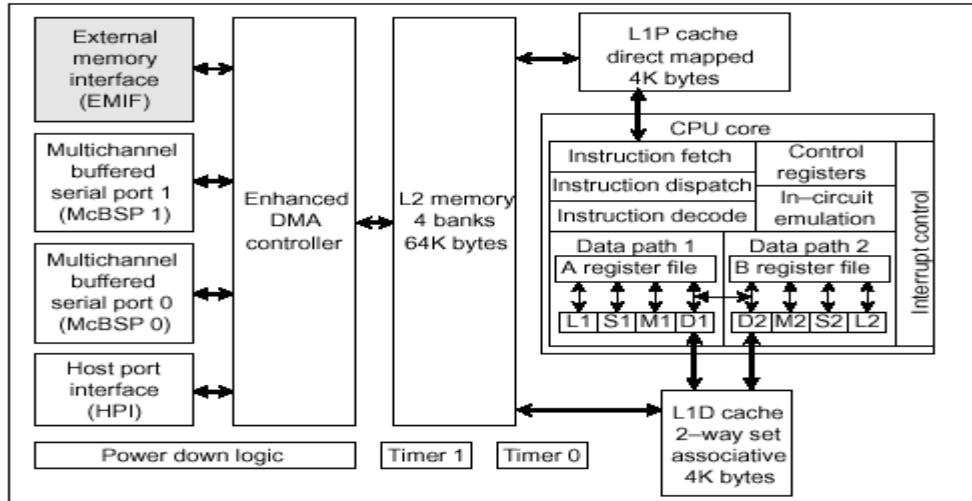


Fig. 3.5. Diagrama a bloques del EMIF.

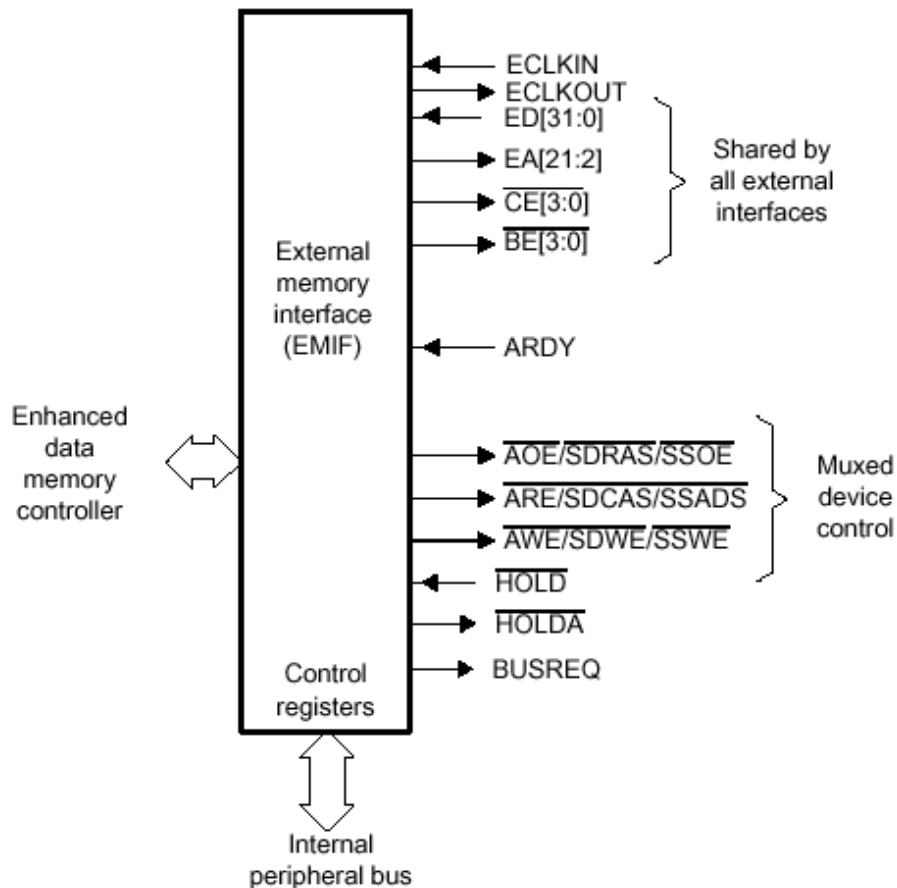


Fig. 3.6. Diagrama de terminales del EMIF.

Los dispositivos que se localizan en el espacio de memoria de la EMIF, tienen cuatro regiones asignadas. Cada región se asigna mediante un selector de dispositivo, que están marcadas con CE[3..0].

Las regiones correspondientes a cada CE son:

Rango de direcciones (Hex)	Tamaño (Bytes)	Descripción del bloque de memoria
0000 0000-0000 FFFF	64K	RAM interna (L2)
0001 0000-017F FFFF	24M-64K	Reservado
0180 0000-0183 FFFF	256K	Registros internos de la configuración del bus EMIF
0184 0000-0187 FFFF	256K	Registros internos de control del bus L2
0188 0000-018B FFFF	256K	Registro interno de la configuración del bus HPI
018C 0000-018F FFFF	256K	Registros internos de la configuración del bus McBSP 0
0190 0000-0193 FFFF	256K	Registros internos de la configuración del bus McBSP 1
0194 0000-0197 FFFF	256K	Registros internos de la configuración del bus del temporizador 0
0198 0000-019B FFFF	256K	Registros internos de la configuración del bus del temporizador 1
019C 0000-019F FFFF	256K	Registros internos de la configuración del bus del selector de interrupciones
01A0 0000-01A3 FFFF	256K	Registros internos de la configuración del bus de la EDMA RAM
01A4 0000-1FFF FFFF	1G-288M	Reservado
3000 0000-2FFF FFFF	256M	Datos del McBSP 0/1
4000 0000-3FFF FFFF	1G	Reservado
8000 0000-8FFF FFFF	256M	Interfase de memoria externa CE0
9000 0000-9FFF FFFF	256M	Interfase de memoria externa CE1
A000 0000-AFFF FFFF	256M	Interfase de memoria externa CE2
B000 0000-BFFF FFFF	256M	Interfase de memoria externa CE3
C000 0000-FFFF FFFF	1G	Reservado

Tabla 3.1. Mapa de memoria de la EMIF.

Dado que la EMIF nos permite configurar diversos periféricos, se debe establecer los siguientes parámetros: Octetos a transmitir (BE[3..0]#), espacio de memoria deseado (CE[3..0]# y D[21..19]), el

tipo de endian (big o little) y el tipo de transferencia (RD# o WR#).

Nota: El símbolo "¯" denota lógica negativa.

La EMIF puede realizar transferencias en modo síncrono y asíncrono.

Las terminales que intervienen en una transferencia asíncrona son:

- AOE# Output Enable. Activo en bajo durante todo el periodo de lectura.
- AWE# Write Enable. Activo en bajo durante todo el periodo de escritura.
- ARE# Read enable. Activo en bajo durante todo el periodo de lectura.
- ARDY Ready. Entrada usada para insertar estados de espera dentro del ciclo de memoria.

Entonces, para conectar nuestro dispositivo asíncrono a la EMIF, se requiere el circuito similar al que se muestra en el diagrama de la Figura 3.7.

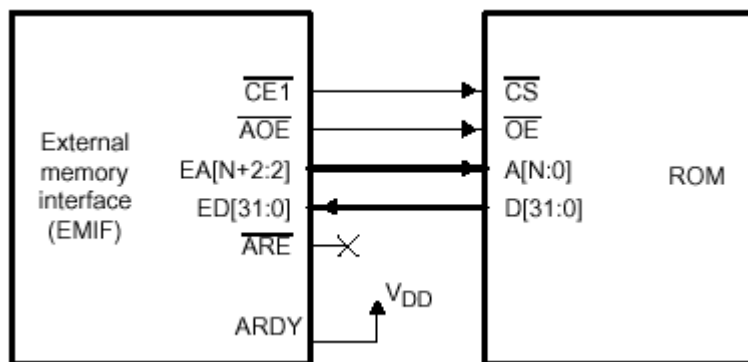


Fig. 3.7. Conexión asíncrona de la EMIF.

Desarrollo de la circuitería de intercomunicación

Para comunicar los kits de desarrollo del PCI y del DSP, se analizaron los modos de comunicación disponibles y se optó por el método más sencillo, aunque no fuera el más eficiente. Las opciones posibles para el procesador de señales son el uso de la interfase del puerto “host”, que es una interfase de 16 bits que se podría conectar al bus PCI empleando lecturas o escrituras dobles. La otra opción sería emplear la interfase a la memoria externa (EMIF), que consta de canales de 32 bits. En este caso, se trataría de la escritura directa en alguno de los espacios de memoria manejados por el DSP. Para el caso del controlador del PCI, las opciones son el empleo de los buzones (mailboxes de entrada o salida), el uso de las memorias FIFO (first-in, first-out) o bien a través de la interfase de paso directo (Pass Through).

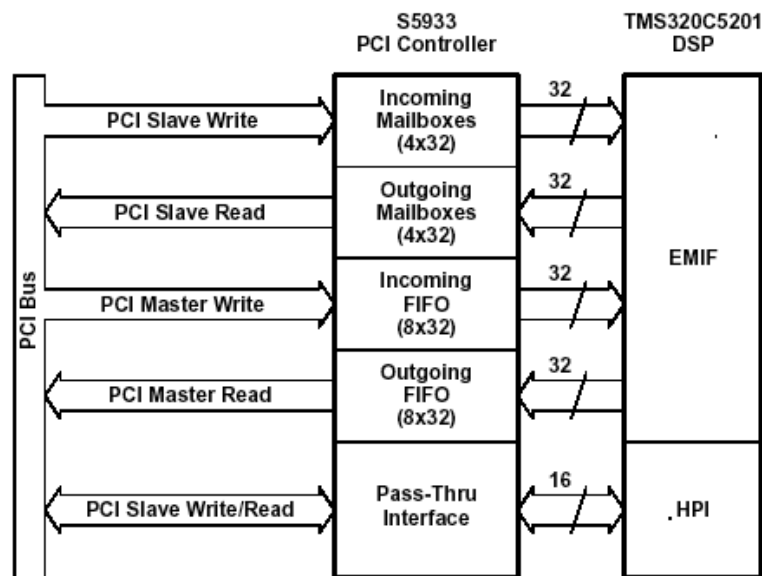


Figura 1. Diagrama de las opciones posibles de interconexión entre el DSP y el controlador de PCI

En el caso del DSP 'C6211, el modo de transferencia que se decidió emplear fue el de la EMIF y en el caso del PCI S5933, es el de la FIFO. Esto se debió a que de esta manera se simplifica el diseño lógico. En ambos casos, dada la diferencia de relojes de trabajo, se tomó la transferencia asíncrona.

Para conectar un periférico a la tarjeta del DSP, se cuenta con un conector de tarjeta “hija”. Este es un conector de 80 terminales que contiene las siguientes señales.

- Alimentación: 5 V, 3.3V, GND.
- Datos: XD[31..0].
- Direcciones: XA[21..2].
- Control: XWE#, XRE#, XRDY#, XOE#, y XCE1#.

Debido a que sólo contamos con el selector XCE1, el espacio de memoria que podemos utilizar es de 9000 0000 – 9FFF FFFF. Por lo tanto, el dispositivo periférico puede tener un rango de 256 K direcciones. Dado que tenemos disponibles sólo las terminales de la dirección 21 a la 2, se utilizó un direccionamiento relativo para el decodificador, utilizando las tres direcciones más altas, es decir, la terminal 21, 20 y 19. Si el circuito decodificador, se habilita en bajo, es verdadero cuando las terminales 19, 20 y 21 están en alto, el rango de direcciones válidas es:

de 1010 0000 - 0011 1000 - 1001 0000 - 0000 0000 b

hasta 1010 1111 - 1111 1111 - 1111 1111 - 1111 1111 b

ó

de A038 9000 H

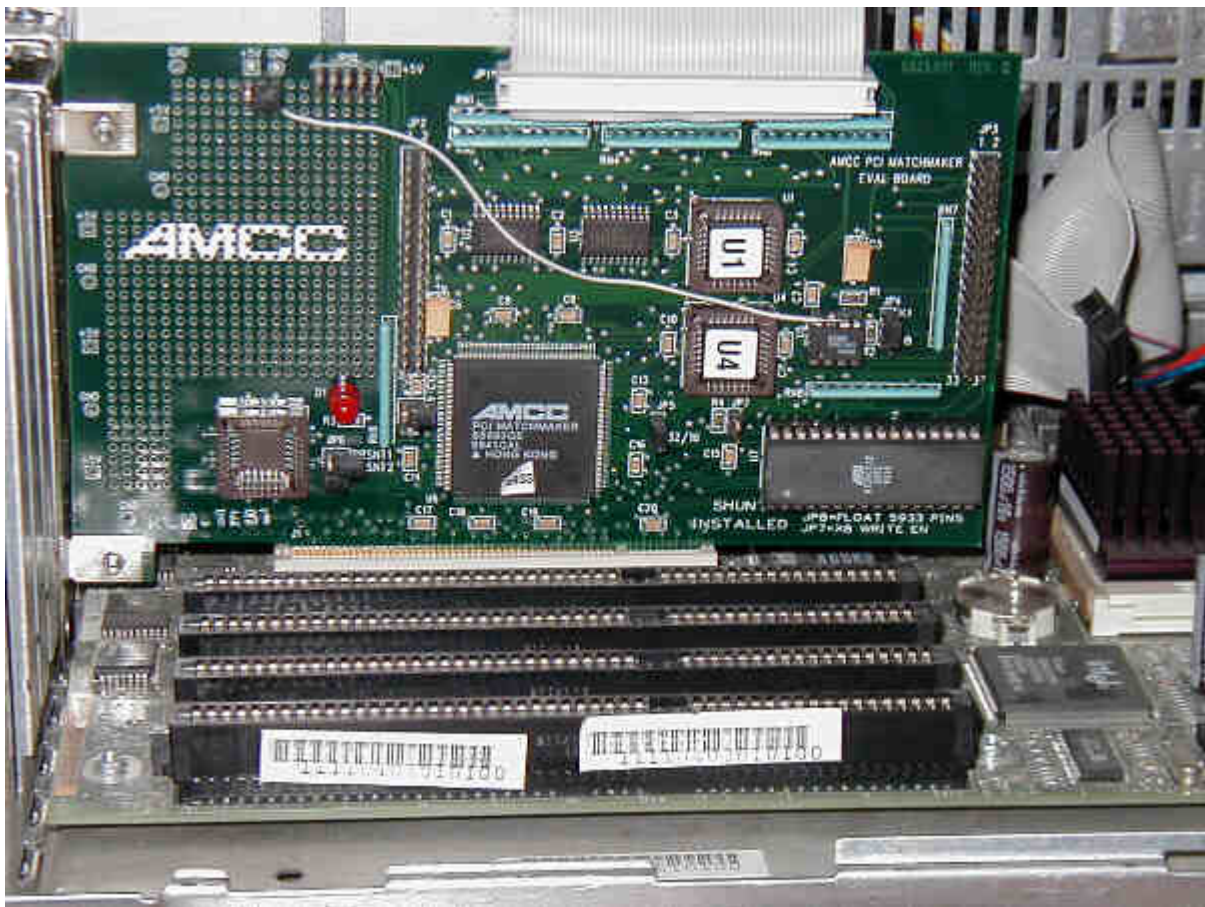
hasta AFFF FFFF H

Teniendo un rango total de AFFF FFFFH – A038 9000H = 264,728,575d localidades disponibles. De estas, se tomó la última, AFFF FFFFH. El decodificador utilizado es el 74LS138.

La salida de este decodificador actuará como el selector del periférico en conjunto con el tipo de operación a realizar. Para evitar un falso disparo, la salida del selector se pasa a través de una compuerta “o” junto con la señal de lectura y a través de otra compuerta “o” con la señal de escritura. Con este esquema, ya se cuenta con las señales de habilitación y tipo de transferencia para comunicarnos con el kit PCI. El kit PCI, como ya se mencionó, requiere que se le envíe dos grupos de

señales, una de selección de dispositivo y otra para indicar si es una operación de lectura o escritura.

Una vez determinado el hardware, se establece el modo en que pasarán los datos de un lado a otro. El modo escogido es mediante muestreo o “I/O polling”, es decir, para que el DSP lea un dato, siempre estará muestreando para ver si existe un dato disponible y de igual modo, para que el PCI lea un dato, siempre estará leyendo (muestreando). Este esquema de transferencia es muy ineficiente, ya que hay pérdida de tiempo de procesador y también puede haber pérdida de datos. A pesar de este inconveniente, este esquema de transferencias sirvió para probar que efectivamente ambas tarjetas se comunicaban. También sirvió para probar que ambos kits se pueden configurar para trabajar como si físicamente estuvieran en una sola tarjeta.



Fotografía de la tarjeta de evaluación del controlador de bus PCI insertado en una computadora PC convencional, donde se evaluó la interfase con el DSP.



Tarjeta de evaluación del DSP unida por un lado al puerto serie de la computadora para cargar programas específicos para la prueba de la tarjeta, y la conexión a través de lógica convencional a la tarjeta de evaluación del DSP.

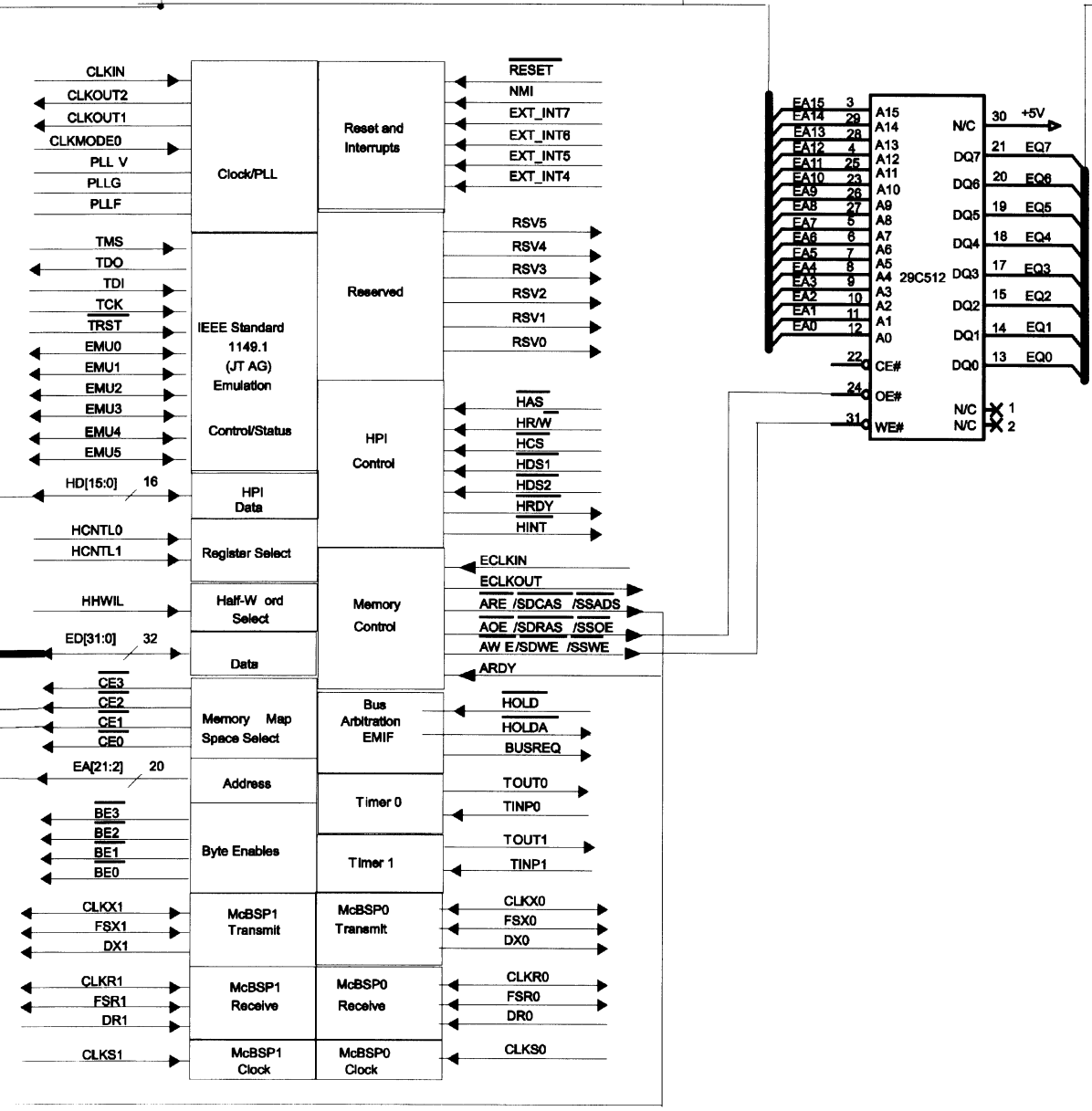
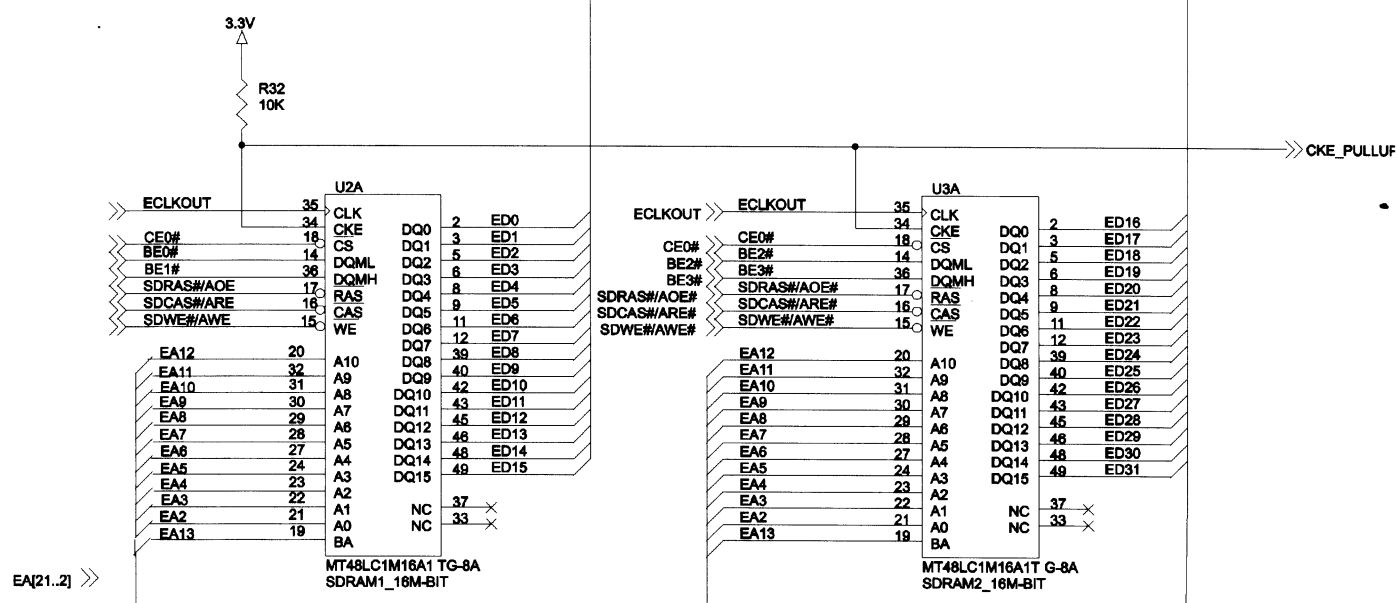
Existe un refinamiento al esquema primeramente planteado, el cual consiste en utilizar las banderas de lectura y escritura del PCI. La bandera de lectura indica si hay un dato listo para ser leído y la bandera de escritura indica si se puede escribir un dato. Mediante la lectura de estas banderas, se puede determinar si hay un nuevo dato para leerse y saber si el dato escrito al PCI ya fue leído.

Para lograr este nuevo modelo de trabajo, se tiene que asignar otra dirección de memoria en el DSP. Se puede reutilizar el decodificador que ya tenemos, mediante el uso de una terminal más de direcciones, como lo es la XA18. Si está en alto, el circuito hará una lectura/escritura al PCI y si está en bajo, leerá las banderas de estado.

Finalmente una opción que no se consideró, pero que puede ser bastante eficiente es el empleo de una memoria de doble puerto. En este tipo de conexión se emplea una memoria externa que puede ser accesada por cualquiera de los dos sistemas, ya sea la PC a través del bus PCI, o bien el DSP directamente. Este tipo de arquitectura podría ser útil una vez que se hubiera definido una aplicación específica para el sistema PC-DSP, pero los esquemas ensayados sirven para determinar el funcionamiento de los circuitos bajo estudio a partir de una configuración mínima.

Los siguientes métodos de transferencia de datos a través de los canales, serían el de interrupciones (IRQ) y acceso directo a memoria (DMA), los cuales son mucho más rápidos, pero debido a las deficiencias (bugs) en el prototipo de Texas Instruments, no se pudieron explorar.

Los dos diagramas a continuación muestran las interconexiones de los dos sistemas.



Otros desarrollos basados en los mismos dispositivos

Durante las fases de inicio, construcción y pruebas de este proyecto el número de sistemas disponibles comercialmente con características similares al prototipo propuesto creció de 2 a más de 20 sistemas distintos, lo que subraya la velocidad a la que se desarrolla este tipo de aplicaciones. Un ejemplo típico de sistemas desarrollados en la actualidad son las tarjetas DP12-1D de AG Electronics.



Tarjeta DP12 de AG Electronics. Tarjeta PCI para procesadores duales TMS320C6x con posibilidades de expansión a través del canal PMC PCI mezzanine card.

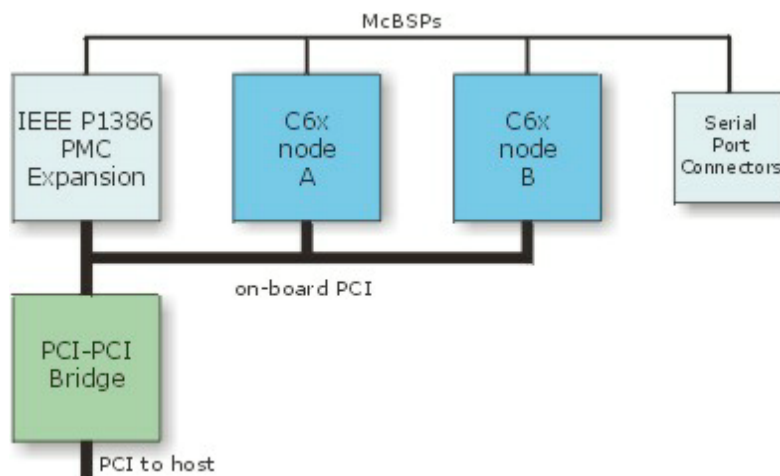


Diagrama a bloques del sistema DP12-1D de AG Electronics. Cada nodo contiene su propio controlador PCI y los nodos se conectan entre sí. Los nodos permiten el acceso a los registros de control, el puerto host del CPU y un banco de memoria compartida de 1MB. El sistema contiene dos controladores de DMA integrados para transmitir datos sin la intervención del CPU.

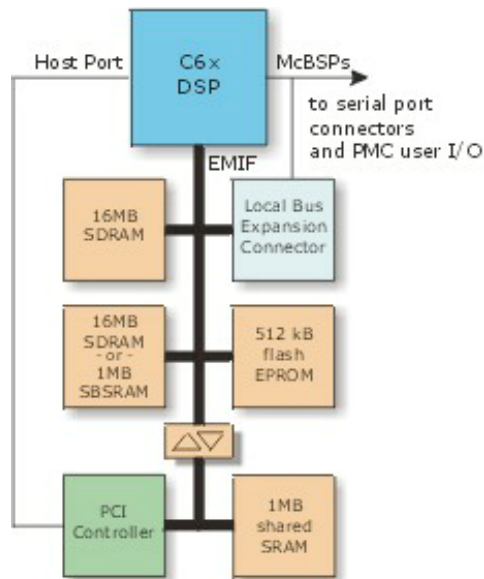
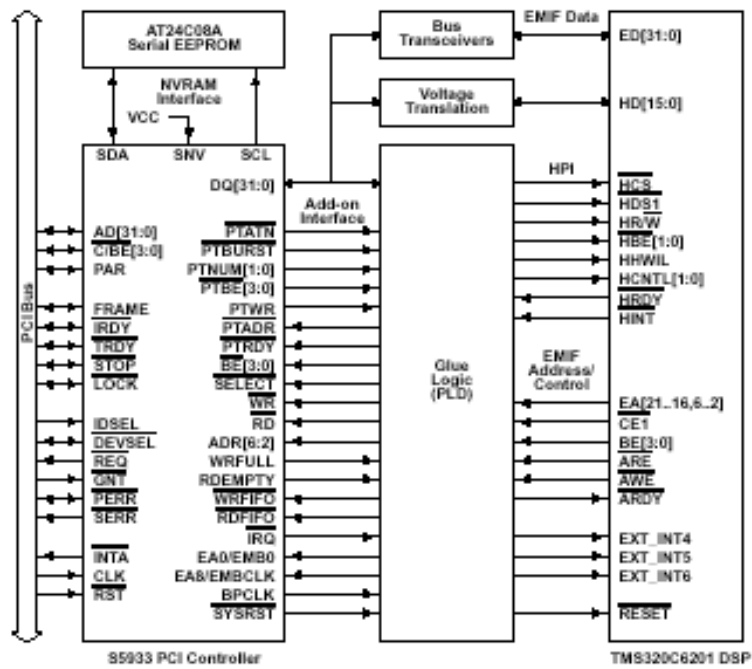


Diagrama de un subsistema de la tarjeta DP12-1D de AG Electronics. Cada CPU tiene un banco de 16MB de SDRAM rápida a la mitad de la velocidad del procesador. Se puede agregar otro banco de 16 MB de memoria. La memoria ROM flash permite el almacenamiento de firmware para la inicialización (boot firmware) o para datos del usuario. Las plataformas soportadas son DOS, windows y Linux.

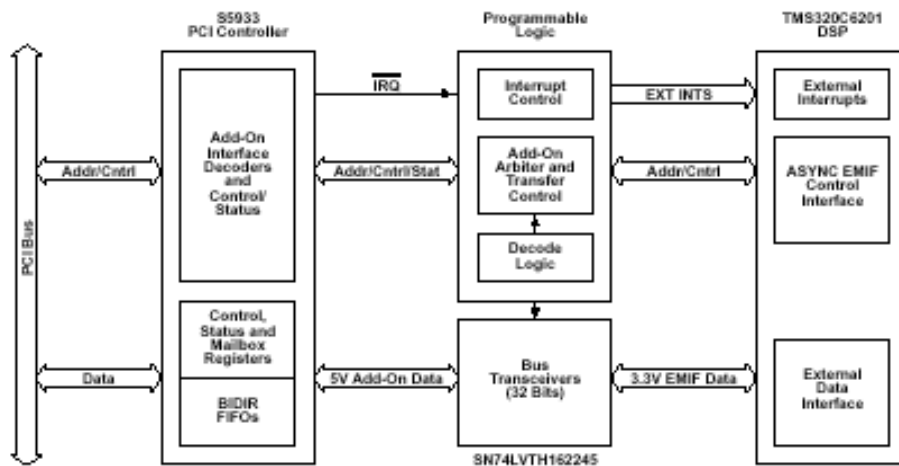
Otra aplicación con características muy similares a nuestro sistema propuesto es la tarjeta de propósito general GPB-6000 de DNA Enterprises, Inc. Este sistema fue desarrollado en conjunto con ingenieros de TI para ofrecer un sistema de desarrollo confiable para sus procesadores de la serie C6000. El propósito de este sistema es de funcionar como un sistema de desarrollo en el ambiente de la familia de los procesadores de señales de TI, así como para proporcionar sistemas de realización rápida de prototipos.

En este sistema, es posible sustituir a los procesadores TMS320C6201 de precisión fija por procesadores TMS320C6701, que son compatibles terminal a terminal, pero que cuentan con punto flotante. La figura que se muestra a continuación presenta las señales de conexión entre los dispositivos

del controlador del canal PCI y el procesador de señales en la tarjeta de prototipos.



. Esquema de líneas de control de la interfase entre DSP y controlador de PCI empleando sistemas de interfase lógicos basados en dispositivos programables PLDs



Esquema de funciones de la interfase EMIF para el sistema GPB-6000 de DNA Enterprises.

Discusión

Tarjeta PCI AMCC

Al utilizar el kit de desarrollo PCI, se comprobó que la tarjeta no es estándar, ya que el funcionamiento no era efectivo en todo tipo de computadoras. Se encontró que en la primera con un procesador AMD K5 a 200 MHz, no fue reconocida adecuadamente, pero en otra con procesador Cyrix a 166 MHz si funcionó completamente.

Siendo la filosofía del PCI la configuración por programa, la configuración de fábrica estaba protegida y para modificarla se tuvo que desoldar y soldar una terminal de la memoria de configuración. Esta información se solicitó al fabricante, quien la proporcionó rápidamente, aunque no se encontraba en la documentación original. Se tuvieron varios problemas adicionales con la tarjeta y la documentación de la tarjeta prototipo AMCC. Por ejemplo, en cuanto a los programas ejemplos hechos en C, estaban mal y en un principio no se pudieron compilar. Se corrigieron estos errores con la fusión con otros programas encontrados en el sitio web del fabricante.

Debido a que los programas para la manipulación de la tarjeta PCI están basados en MS-DOS, no corren adecuadamente en todos los ambientes Windows. Los Windows que sí soportan estos programas son '95 y '98 y los que no los soportan son NT, 2000 y Millennium Edition. Actualmente, existe una versión mejorada del S5933, el S5935 que soporta aplicaciones de 32 bits.

Como conclusión de esta experiencia, se puede decir que es difícil desarrollar sistemas con las versiones iniciales de sistemas de evaluación de fabricantes. Se tienen problemas de compatibilidad y de errores en los programas y documentación. Sin embargo, es difícil decidir cual es el momento indicado para escoger entre la confiabilidad de los sistemas de prototipos y la innovación que se pretende realizar. En todo caso, la lección que se desprende es que es necesario una interacción muy cercana entre los proveedores y el desarrollador.

Tarjeta DSP TI

El kit de desarrollo de TI presentó gran facilidad en su instalación y el ambiente de desarrollo integrado basado en Windows permitió su rápido aprendizaje. El inconveniente fue la inestabilidad del ambiente de programación. Cuando se congela la aplicación, se tiene que salir del programa y reiniciar el kit por software. Si esto no funciona, se sale del programa y se reinicia el kit por hardware. Si todavía no funciona, se apaga el kit de DSP y la PC. Si aún no funciona, es necesario desinstalar y instalar el ambiente de desarrollo. Lo anterior se debe a que tanto el ambiente de desarrollo, Code Composer Studio, y el kit DSP son versiones de prueba. La documentación es extensa, pero, algo tan vital en el desarrollo como lo es el mapa de memoria, y ejemplos de manipulación de periféricos, fue difícil de encontrar. Actualmente, este kit fue sustituido por una versión de punto flotante con los errores ya depurados.

Como comentario general, se tuvo el mismo tipo de problemas que con la tarjeta de evaluación del canal PCI: las versiones iniciales están muy limitadas y tienen una serie de errores que hacen difícil su manejo. En ambos casos se pudo llegar a comprender la documentación técnica a pesar de que en algunos casos esta documentación no era muy clara. Se tuvo que tratar en múltiples ocasiones con los sistemas de ayuda técnica de ambas empresas que en general respondieron adecuadamente. Se pudo ejercitar a ambas tarjetas de tal manera que se pudieron verificar sus características y se pudo definir cual sería una aplicación nueva que integrase a ambos tipos de dispositivos: Los sistemas empleando los circuitos DSP y los circuitos de control del canal PCI. Aunque el proyecto fue planteado hace dos años, el diseño sigue siendo válido y de actualidad , ya que apenas hace poco tiempo, la compañía Texas Instruments anunció el desarrollo de una tarjeta con características similares (inclusión de un procesador DSP de la familia TMS32060 en una tarjeta para incluirse en una PC y conectada a través del canal PCI). Habría que subrayar que con base en nuestra pasada experiencia, esta tarjeta en su versión inicial, probablemente acarreará el mismo tipo de problemas que se encontraron en las dos tarjetas de evaluación, es decir, poca documentación en firme y un número considerable de errores.

Probablemente saldrán a la venta versiones corregidas de esta tarjeta en el plazo de un año, de acuerdo con los tiempos que hemos podido experimentar.

Conclusiones

Haciendo un análisis de la experiencia obtenida, podemos decir que se plantearon objetivos de diseño de una tarjeta que incorporara a un procesador de señales de la serie TMS32060 dentro de una computadora tipo PC de las generaciones actuales. Para poder definir la arquitectura y para evaluar las características de los sistemas involucrados, se adquirieron tanto sistemas de desarrollo en base a prototipos para interfase PCI y para procesadores de señales TMS32060. Se ejercitaron ambos sistemas, se eliminaron los errores en los sistemas de prototipos y se comprendió cabalmente tanto el funcionamiento del canal PCI, como del procesador de señales de tal manera que se puede ahora plantear una arquitectura para la construcción de una tarjeta de diseño propio para procesadores dentro de computadoras tipo PC, incluyendo un mínimo de componentes en la tarjeta. El hecho de haber probado las interconexiones directas entre los circuitos de control del canal PCI y el procesador de señales (eliminando el paso por todos los circuitos accesorios de ambas tarjetas de prototipos) da la confianza de que el diseño de la tarjeta propuesta es viable y que el enfoque de emplear diseños o sistemas de desarrollo es útil para no tener que desarrollar todos los subsistemas a partir de la definición de las terminales de circuitos impresos, como se hacía anteriormente.

Bajo esa óptica, es necesario mencionar que recientemente salió al mercado la versión 6.0 de Matlab, que para agilizar el desarrollo de prototipos, incluye una interfase para procesadores de Texas Instruments y de Motorola. De este modo, se desarrollan los algoritmos en Matlab y cuando ya funcionan, se compilan para el modelo específico de DSP. Además de esto, esta interfase permite la ejecución en tiempo real si existe un procesador conectado a la computadora. Esta interfase será de gran utilidad para el desarrollo de aplicaciones del tipo que hemos propuesto.

Sin embargo, es necesario mencionar que el desarrollo de este tipo de tarjetas a nivel prototipo o para uso en laboratorio debe cuestionarse seriamente, ya que es frecuente encontrar que al final del tiempo de desarrollo se encuentra en el mercado una solución semejante, ya industrializada. Es cierto

que la experiencia alcanzada y el conocimiento de los sistemas necesarios para el desarrollo de estos prototipos es importante, pero un diseño de aplicación general como el que ha sido planteado, no resulta satisfactorio. Solamente en el caso de la incorporación de estos conocimientos a la construcción de sistemas de aplicación específica (como dentro de un sistema cerrado en un instrumento particular) se justifica el desarrollo de soluciones particulares.

Discusiones.

Tarjeta PCI AMCC

Al utilizar el kit de desarrollo PCI, se comprobó que la tarjeta no es estándar, ya que el funcionamiento no era efectivo en todo tipo de computadoras. Se encontró que en la primera con un procesador AMD K5 a 200 MHz, no fue reconocida adecuadamente, pero en otra con procesador Cyrix a 166 MHz si funcionó completamente.

Siendo la filosofía del PCI la configuración por programa, la configuración de fábrica estaba protegida y para modificarla se tuvo que desoldar y soldar una pata de la memoria de configuración. Esta información se solicitó al fabricante, quien la proporcionó rápidamente, aunque no se encontraba en la documentación original. Se tuvieron varios problemas adicionales con la tarjeta y la documentación de la tarjeta prototipo AMCC. Por ejemplo, en cuanto a los programas ejemplos hechos en C, estaban mal y en un principio no se pudieron compilar. Se corrigieron estos errores con la fusión con otros programas encontrados en el sitio web del fabricante.

Debido a que los programas para la manipulación de la tarjeta PCI están basados en MS-DOS, no corren adecuadamente en todos los ambientes Windows. Los Windows que sí soportan estos programas son '95 y '98 y los que no los soportan son NT, 2000 y Millennium Edition. Actualmente, existe una versión mejorada del S5933, el S5935 que soporta aplicaciones de 32 bits.

Como conclusión de esta experiencia, se puede decir que es difícil desarrollar sistemas con las versiones iniciales de sistemas de evaluación de fabricantes. Se tienen problemas de compatibilidad y de errores en los programas y documentación. Sin embargo, es difícil decidir cual es el momento indicado entre la confiabilidad de los sistemas de prototipos y la innovación que se pretende realizar. En todo caso, la lección que se desprende es que es necesario una interacción muy cercana entre los proveedores y el desarrollador.

Tarjeta DSP TI

El kit de desarrollo de TI presentó gran facilidad en su instalación y el ambiente de desarrollo integrado basado en Windows permitió su rápido aprendizaje. El inconveniente fue la inestabilidad del ambiente de programación. Cuando se congela la aplicación, se tiene que salir del programa y reiniciar el kit por software. Si esto no funciona, se sale del programa y se reinicia el kit por hardware. Si todavía no funciona, se apaga el kit de DSP y la PC. Si aún no funciona, es necesario desinstalar y instalar el ambiente de desarrollo. Lo anterior se debe a que tanto el ambiente de desarrollo, Code Composer Studio, y el kit DSP son versiones de prueba. La documentación es extensa, pero, algo tan vital en el desarrollo como lo es el mapa de memoria, y ejemplos de manipulación de periféricos, fue difícil de encontrar. Actualmente, este kit fue sustituido por una versión de punto flotante con los bug ya depurados.

Como comentario general, se tuvo el mismo tipo de problemas que con la tarjeta de evaluación del bus PCI: las versiones iniciales están muy limitadas y tienen una serie de errores o bugs que hacen difícil su manejo. En ambos casos se pudo llegar a comprender la documentación técnica a pesar de que en algunos casos esta documentación no era muy clara. Se tuvo que tratar en múltiples ocasiones con los sistemas de ayuda técnica de ambas empresas que en general respondieron adecuadamente. Se pudo ejercitar a ambas tarjetas de tal manera que se pudieron verificar sus características y se pudo definir cual sería una aplicación nueva que integrase a ambos tipos de dispositivos: Los sistemas empleando los circuitos DSP y los circuitos de control del bus PCI. Aunque el proyecto fue planteado hace dos

años, el diseño sigue siendo válido y de actualidad , ya que apenas hace poco tiempo, la compañía Texas Instruments anunció el desarrollo de una tarjeta con características similares (inclusión de un procesador DSP de la familia TMS32060 en una tarjeta para incluirse en una PC y conectada a través del bus PCI). Habría que subrayar que con base en nuestra pasada experiencia, esta tarjeta en su versión inicial, probablemente acarreará el mismo tipo de problemas que se encontraron en las dos tarjetas de evaluación, es decir, poca documentación en firme y un número considerable de errores o "bugs". Probablemente saldrán a la venta versiones corregidas de esta tarjeta en el plazo de un año, de acuerdo con los tiempos que hemos podido experimentar.

Conclusiones

Haciendo un análisis de la experiencia obtenida, podemos decir que se plantearon objetivos de diseño de una tarjeta que incorporara a un procesador de señales de la serie TMS32060 dentro de una computadora tipo PC de las generaciones actuales. Para poder definir la arquitectura y para evaluar las características de los sistemas involucrados, se adquirieron tanto sistemas de desarrollo en base a prototipos para interfase PCI y para procesadores de señales TMS32060. Se ejercitaron ambos sistemas, se eliminaron los errores en los sistemas de prototipos y se comprendió cabalmente tanto el funcionamiento del bus PCI, tanto como del procesador de señales de tal manera que se puede ahora plantear una arquitectura para la construcción de una tarjeta de diseño propio para procesadores dentro de computadoras tipo PC, incluyendo un mínimo de componentes en la tarjeta. El hecho de haber probado las interconexiones directas entre los circuitos de control del bus PCI y el procesador de señales (eliminando el paso por todos los circuitos accesorios de ambas tarjetas de prototipos) da la confianza de que el diseño de la tarjeta propuesta es viable y que el enfoque de emplear diseños o sistemas de desarrollo es útil para no tener que desarrollar todos los subsistemas a partir de la definición de las patas de circuitos impresos, como se hacía anteriormente. Bajo esa óptica, es necesario mencionar que recientemente salió al mercado la versión 6.0 de Matlab, que para agilizar el desarrollo de prototipos, incluye una interface para procesadores de Texas Instruments y de Motorola. De este modo, se desarrollan los algoritmos en Matlab y cuando ya funcionan, se compilan para el modelo específico de DSP. Además de esto, esta interface permite la ejecución en tiempo real si existe un procesador conectado a la computadora. Esta interfase será de gran utilidad para el desarrollo de aplicaciones del tipo que hemos propuesto.

Sin embargo, es necesario mencionar que el desarrollo de este tipo de tarjetas a nivel prototipo o para uso en laboratorio debe cuestionarse seriamente, ya que es frecuente encontrar que al final del tiempo de desarrollo se encuentra en el mercado una solución semejante, ya industrializada. Es cierto que la experiencia alcanzada y el conocimiento de los sistemas necesarios para el desarrollo de estos prototipos es importante, pero un diseño de aplicación general como el que ha sido planteado, no resulta satisfactorio. Sólomente en el caso de la incorporación de estos conocimientos a la construcción de sistemas de aplicación específica (como dentro de un sistema cerrado en un instrumento particular) se justifica el desarrollo de soluciones particulares.